

6932852 PANASONIC INDL. ELECTRONIC
マイクロコンピュータ(4-Bit)

72C 05681 DT-49-19-04
MN1400 Family

MN1400 Family

4ビット・1チップ・マイクロコンピュータ 4-Bit Single-Chip Microcomputers

■ MN1400 ファミリ製品系列 / Series in MN1400 Family

MN1400 Family No.	分類 Category	シリーズ名 Series	プロセス Process	機能・用途	Function・Use
1	汎用 General Purpose	MN1400	NMOS	汎用タイプ	General Purpose
		MN1430	PMOS		
		MN1450	CMOS		
		MN1420	NMOS	LED 駆動タイプ	LED Driver Type
		MN1460	CMOS	低電圧タイプ	Low Voltage Type
		MN1456A		デュアルタイプ	Dual Type
		MN14531		家電用複合タイプ	For House Appliance
2	蛍光表示管駆動用 FLT Driver	MN1450B	CMOS	高耐圧タイプ	High Voltage Type
3	TV 電子選局用 TV Electronic Tuning System	MN1410	NMOS	テレビ、ビデオチューナ用	For TV, VTR Tuner
		MN1480	CMOS		
4	ラジオ電子チューナ用 Radio Synthesizer Tuner	MN1427	CMOS	オーディオチューナ用	For Audio Tuner

■ 概要

MN1400 ファミリーは、4ビット並列 ALU, ROM, RAM, I/O ポートなどを1チップに集積した4ビット・1チップ・マイクロコンピュータのファミリーで、NMOS, PMOS, CMOS 標準タイプ、低電圧タイプ、電子選局専用タイプなど、豊富な品種レンジが準備されており、各種の制御に最適なマイクロコンピュータを選択できます。

■ Description

The MN1400 family are 4-bit single-chip microcomputers with a 4-bit ALU, a ROM, a RAM, I/O ports, etc. on a single semiconductor chip. Various versions of microcomputers including NMOS, PMOS and CMOS standard versions, and dedicated versions for tuning systems are supported, making the MN1400 family suitable for a wide variety of control functions.

■ 特徴

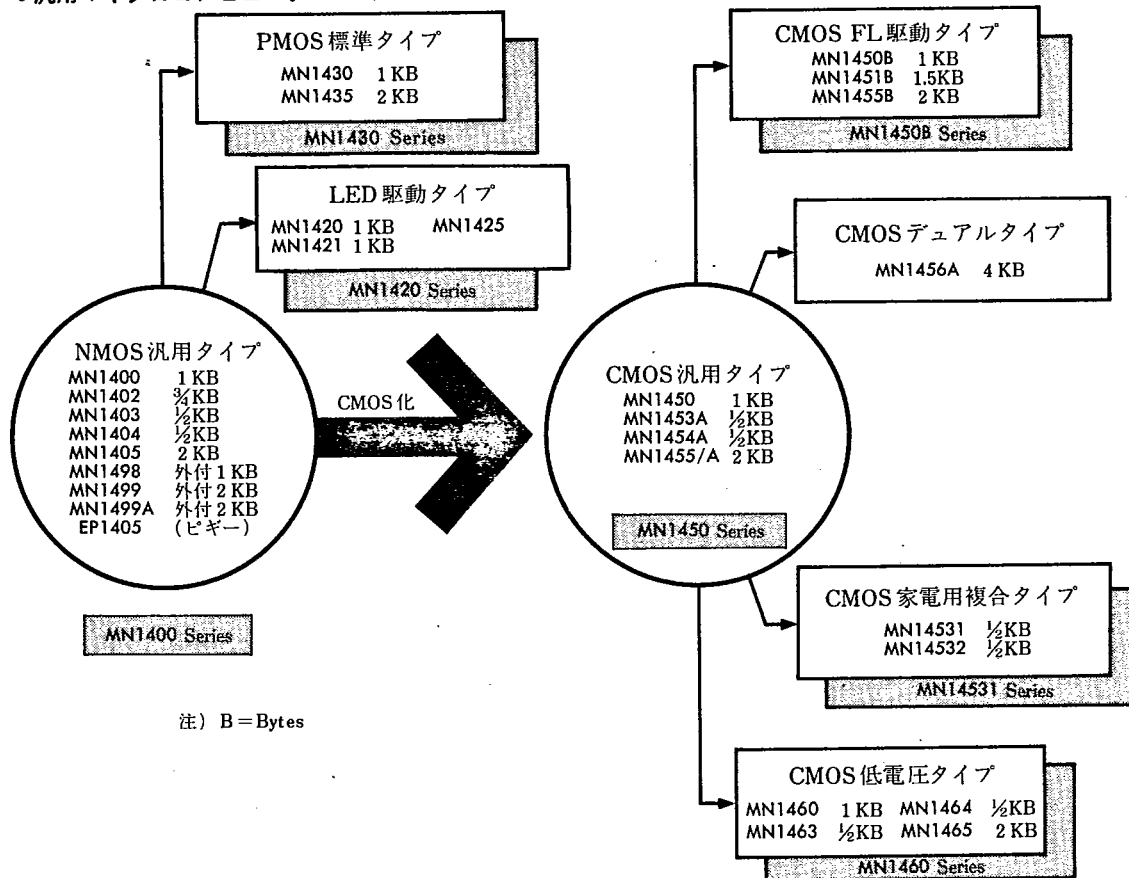
- 品種レンジが豊富で、最適なマイクロコンピュータの選択が可能
- Nチャンネルタイプは、LOCOS E/D MOS で高速
- Pチャンネルタイプは、LOCOS E/D MOS で高電圧
- CMOSタイプは、CMOS LOCOSで低消費電力
- 単一 +5V (Nチャンネル, CMOSタイプ), -15V (Pチャンネルタイプ)電源動作で、あらゆる機器への応用に有利
- 動作温度範囲が広い: -30~+70°C
- Nチャンネル, CMOSタイプは、TTL/CMOS コンパチブル
- Pチャンネルタイプは、蛍光表示管直接駆動
- 強力な入出力機能
- プログラマブル8ビットカウンタ内蔵
- 標準75種類の使いやすい豊富なインストラクション

6932852 PANASONIC INDL・ELECTRONIC
マイクロコンピュータ(4-Bit)

72C 05682 D T-49-19-04
MN1400 Family

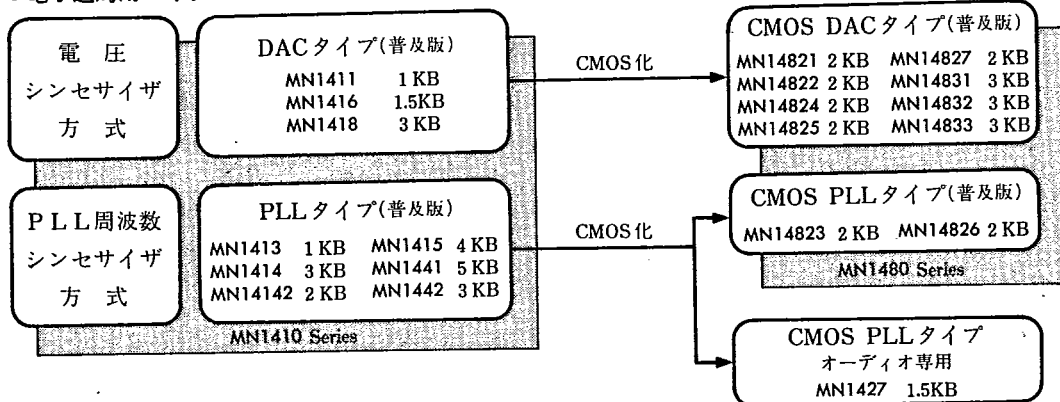
■ MN1400ファミリ製品展開図/MN1400 Family Products Map

●汎用マイクロコンピュータ

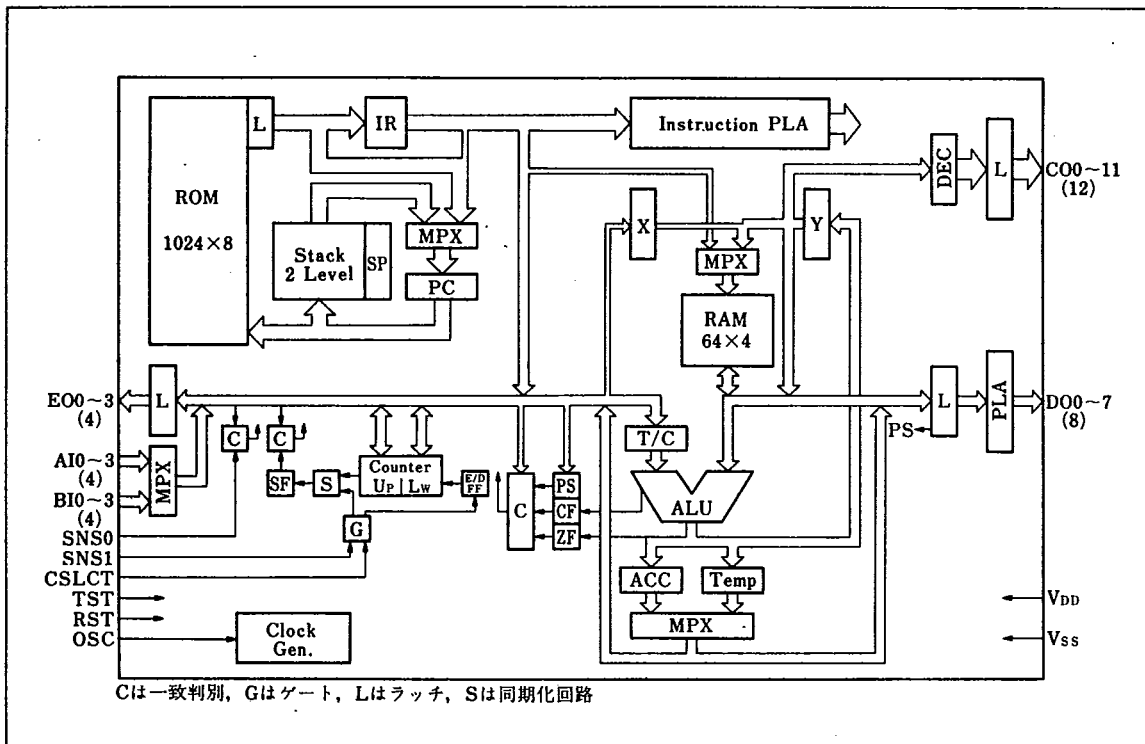


注) B = Bytes

●電子選局用マイクロコンピュータ



■ 基本ブロック図/Basic Block Diagram



■ 命令マップ/Instruction Map

L	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0	NOP	TAX	TYA	TAY	AND	OR	XOR	A	CPL	C	ST	STIC	STDC	L	LIC	LDC
1	OTE	OTMD	OTD	CCO	INA	INB	RCO	SCO	TACL	TACU	TICAL	TCAU	DC	EC	SL	RET
2	LD			STD				RC	RP	SC	SP	ICY	DCY	ICM	DCM	
3	LX								BSN0	BS0	BSN1	BS1	BSN01	BS01		
4	JMP							CAL								
5	LI															
6	LY															
7	ANDI															
8	AI															
9	CI															
A	CY															
B	SM															
C	RM															
D	TB															
E		BNZ	BZ	BNC	BC	BNCZ	BCZ	BNP	BP	BNPZ	BPZ	BNPC	BPC	BNPCZ	BPCZ	
F	OTIE															

1バイト1サイクル命令
 1バイト2サイクル命令
 2バイト2サイクル命令

■ 機能説明

記号	ブロック名	機能説明
ALU	演算論理ユニット	データの各種処理判定を行なう回路。 動作モードには、AND (論理積)、OR (論理和)、 Exclusive OR (排他的論理和)、および ADD (加算) の4モードがある。
ACC	アキュムレータ	演算装置にある主要な4ビットのレジスタで、動作中に処理されるほとんどのデータを扱う。
TEMP	テンポラリレジスタ	レジスタの一種で、アキュムレータの内容を保存する必要がある場合に利用される。
PS	プログラムステータス	プログラム中、任意に用いることができるフラグで、命令 SP, RP によってセット、リセットされる。 フラグは、システムの状態を記憶する1ビットのフリップフロップ。
CF	キャリフラグ	データを ALU で処理した結果、最上位ビットからの桁上げが生じたときにセットされるフラグ。 命令 SC, RC によってもセット、リセットされる。
ZF	ゼロフラグ	データ処理の結果がゼロの場合セットされるフラグ。
RAM	ランダムアクセス・メモリ	システムの制御に必要なデータを記憶する書込み、読出し可能なメモリ。 MN1400 には1語4ビットで64語用意され、XレジスタとYレジスタでアドレスを指定。
X	Xレジスタ	RAMの1語M(X, Y)のアドレスを指定するXの値を保持する3ビットのレジスタ。
Y	Yレジスタ	RAMの1語M(X, Y)のアドレスを指定するYの値を保持する4ビットのレジスタ。 Yレジスタは、RAMのアドレス指定以外にC出力ポートの端子も指定。
PC	プログラムカウンタ	11ビットのバイナリカウンタで、命令記憶用のROMを最大2048ワード指定可能。
STACK	スタック	サブルーチン実行時にプログラムカウンタの内容を退避させるためのレジスタで2レベル各11ビットある。
ROM	リードオンリ・メモリ	命令を記憶し読出し専用に使われるメモリ。 MN1400 には1ワード8ビット構成で1024ワード用意されている。
IR	インストラクションレジスタ	ROMから読み出された命令を命令実行サイクルの間ラッチする8ビットのレジスタ。
INSTRUCTION PLA	インストラクション PLA	命令語をデコードするAND部とOR部とからなるPLA。
COUNTR	カウンタ	クロックパルスとは関係なく外部からの信号によってカウントする上下各4ビット計8ビットのバイナリ・リプルカウンタ。

マイクロコンピュータ(4-Bit)

MN1400 Family

記号	ブロック名	機能説明
L	ラッチ	データ処理回路とデータ入出力および表示部などの間でデータを保持。 出力ポートは、すべてラッチ付。
DEC	デコーダ	Yレジスタの内容をC出力ポートの端子番号に変換して指定。 たとえば、Y=5の場合、C05の端子が指定。
PLA	プログラマブル・ロジックアレイ	論理素子がアレイ状に配列されている構造の積和論理回路で、プログラム可能。 4ビットのデータと1つのフラグ(PS)計5ビットのデータを24種の任意の8ビットデータに変換。
SP	スタックポイント	スタックのアドレスを指定するレジスタ。
MPX	マルチプレクサ	単一のデータ通路を、多数のデータ入出力が時分割の方法で共有し、データ転送のオペレーションを行なう。
SF	センスフリップフロップ	CSLCTがLレベルのときカウンタの最上位桁が1から0になるとき(あふれたとき)セット。 CSLCTがHレベルのときSNS1端子がHレベルになるとSFがセット。 SFの状態はブランチ命令(BS1など)によって検出可能。
E/D FF	カウンタインエーブル/ディスエーブル・フリップフロップ	命令EC, DCによってセット、リセットされ外部信号をカウントおよびストップの状態にする。
S	同期化回路	カウンタとカウンタ信号入力との同期をとりSFにセット信号を送る。
G	ゲート	複数個の入力端子と1個の出力端子を有し、ある入力条件が満足された場合にだけ出力が出る回路。
C	コンペア	2つのデータを比較判別する回路。 データの入っているメモリやレジスタの内容は変化しない。
T/C	ツルース/コンプリメント	命令によって、データをそのまま転送したり、または各ビットの1と0を反転させ補数を求める回路。
CLOCK GEN	クロックゼネレータ	動作に必要なクロック信号発生のための発振回路。 内部タイミング信号は、CP1, CP2, CP3の3相から構成。
AI0~3	A入力ポート	4ビット並列の入力ポート。
BI0~3	B入力ポート	4ビット並列の入力ポート。
SNS0	センス入力端子	入力レベルによって条件ジャンプ(ブランチ)を実行。
SNS1	センス入力端子	CSLCT端子との組み合わせにより、SFへの入力端子と、内蔵カウンタへの入力端子の2通りの使い方が可能。
CSLCT	カウンタセレクト入力端子	SNS1端子の機能を切り換える端子。 LレベルのときSNS1はカウンタ入力端子、HレベルのときSNS1はセンス入力端子。

記号	ブロック名	機能説明
$\overline{\text{RST}}$	リセット入力端子	Lレベルのとき、プログラムカウンタ、すべての出力ラッチ、フラグ、センスフリップフロップ、カウンタイネーブルフリップフロップをクリアあるいはリセット。
RST (Pチャンネル)	リセット入力端子	Hレベルのとき、プログラムカウンタ、すべての出力ラッチ、フラグ、センスフリップフロップ、カウンタイネーブル・フリップフロップをクリアあるいはリセット。
OSC	オシレータ入力端子	クロック信号発生のための端子で、抵抗、コンデンサ各1個を接続すると、LSI内蔵の発振回路により必要なクロックが得られる。 また、外部から約300kHz(200kHz:P-ch)の信号を入力すると、その信号に同期したクロック信号が得られる。
TST ($\overline{\text{TST}}$)	テスト入力端子	LSIのテスト用端子。使用時はV _{SS} に接続。
V _{DD}	電源入力端子	V _{DD} 電圧を印加する。(標準+5V)
V _{SS}	電源入力端子	接地する。(通常0V)
CO0~11	C出力ポート	12本の個別出力(ディスクリート出力)
DO0~7	D出力ポート	プログラム可能な出力デコード回路(PLA)で、5ビットのデータを任意の8ビットのデータに変換し出力。 8ビット出力データの種類は最大24。
EO0~3	E出力ポート	4ビット並列の出力ポート。

T-49-19-04

■ MN1400ファミリ命令セット/MN1400 Family Instruction Set

	ニ ー モ ニ ッ ク	命 令 コ ー ド			影 響 さ れ る フ ラ グ	動 作	
		2 進 コー ド	16 進 コ ー ド				
デ ー タ 転 送 命 令	L	load	0000	1101	0D	ZF	A←M(X, Y)
	LD	load direct	0010	00 n	2n	ZF	A←M(0, n)
	LI	load immediate	0101	n	5n	ZF	A←n
	LIC	*load increment Y	0000	1110	0E	ZF	A←M(X, Y), Y←Y+1
	LDC	*load decrement Y	0000	1111	0F	ZF	A←M(X, Y), Y←Y-1
	ST	store	0000	1010	0A		M(X, Y)←A
	STD	store direct	0010	01 n	2(4+n)		M(0, n)←A
	STIC	*store increment Y	0000	1011	0B	ZF	M(X, Y)←A, Y←Y+1
	STDC	*store decrement Y	0000	1100	0C	ZF	M(X, Y)←A, Y←Y-1
	LX	load X	0011	0 n	3n		X←n
	LY	load Y	0110	n	6n		Y←n
	TAX	transfar A to X	0000	0001	01		X←A
	TAY	transfer A to Y	0000	0011	03		Y←A
	TYA	transfer Y to A	0000	0010	02	ZF	A←Y
	TACU	transfer A to counter upper	0001	1001	19		CU←A
	TACL	transfer A to counter lower	0001	1000	18		CL←A
	TCAU	transfer counter upper to A	0001	1011	1B	ZF	A←CU
TCAL	transfer counter lower to A	0001	1010	1A	ZF	A←CL	
各 種 操 作 命 令	NOP	no operation	0000	0000	00		
	AND	and	0000	0100	04	ZF	A←A∧M(X, Y)
	ANDI	and immediate	0111	n	7n	ZF	A←A∧n
	OR	or	0000	0101	05	ZF	A←A∨M(X, Y)
	XOR	exclusive or	0000	0110	06	ZF	A←A∨M(X, Y)
	A	add	0000	0111	07	CF ZF	A←A+M(X, Y)+CF
	AI	add immediate	1000	n	8n	CF ZF	A←A+n
	CPL	complement	0000	1000	08	ZF	A← \bar{A}
	C	compare	0000	1001	09	CF ZF	$\bar{A}+M(X, Y)+1$
	CI	compare immediate	1001	n	9n	CF ZF	A+n+1
	CY	compare Y	1010	n	An	ZF	Y∨n
	SL	shift	0001	1110	1E	CF ZF	A←A+A
	ICY	increment Y	0010	1100	2C	ZF	Y←Y+1
	DCY	decrement Y	0010	1101	2D	ZF	Y←Y-1
	ICM	*increment memory	0010	1110	2E	CF ZF	M(X, Y)←M(X, Y)+1
	DCM	*decrement memory	0010	1111	2F	CF ZF	M(X, Y)←M(X, Y)-1
	SM	*set memory bits	1011	n	Bn		M(X, Y)←M(X, Y)∨n
RM	*reset memory bits	1100	n	Cn		M(X, Y)←M(X, Y)∧ \bar{n}	
TB	test bits	1101	n	Dn	ZF	A∧n	

* 1バイト2サイクル命令 (ROM 1バイト使用 実行時間 20 μs (標準))
 **2バイト2サイクル命令 (ROM 2バイト使用 実行時間 20 μs (標準))
 *または**を付さない命令は ROM 1バイト使用 実行時間 10 μs (標準)

^ 論理積 (AND) ∨ 論理和 (OR) ∨ 排他的論理和 (XOR)

	ニ ー モ ニ ッ ク	命 令 コ ー ド			影 響 さ れ る フ ラ グ	動 作	
		2 進 コー ド	16 進 コ ー ド				
入 出 力 命 令	INA	input via A-port	0001	0100	14	ZF	A←A-port
	INB	input via B-port	0001	0101	15	ZF	A←B-port
	OTD	output to D-port	0001	0010	12		D-port←A, PS
	OTMD	output memory to D-port	0001	0001	11		D-port←M(X, Y), PS
	OTE	output to E-port	0001	0000	10		E-port←A
	OTIE	output immediate to E-port	1111	n	Fn		E-port←n
	RCO	reset C-port	0001	0110	16		C-port(Y)←0
	SCO	set C-port	0001	0111	17		C-port(Y)←1
	CCO	clear C-port	0001	0011	13		C-port(11~0)←0
コ ン ト ロ ー ル 命 令	RC	reset CF	0010	1000	28	CF	CF←0
	RP	reset PS	0010	1001	29	PS	PS←0
	SC	set CF	0010	1010	2A	CF	CF←1
	SP	set PS	0010	1011	2B	PS	PS←1
	BS0	**branch if SNS0=1	0011 m	1011 m	3B mm		PC(7~0)←mm if SNS0=1
	BS1	**branch if SF=1	0011 m	1101 m	3D mm		PC(7~0)←mm if SF=1
	BS01	**branch if SNS0=1 or SF=1	0011 m	1111 m	3F mm		PC(7~0)←mm if SNS0 ∨ SF=1
	BSN0	**branch if SNS0=0	0011 m	1010 m	3A mm		PC(7~0)←mm if SNS0=0
	BSN1	**branch if SF=0	0011 m	1100 m	3C mm		PC(7~0)←mm if SF=0
	BSN01	**branch if SNS0=0 and SF=0	0011 m	1110 m	3E mm		PC(7~0)←mm if SNS0 ∨ SF=0
	BP	**branch if PS=1	1110 m	1001 m	E9 mm		PC(7~0)←mm if PS=1
	BC	**branch if CF=1	1110 m	0101 m	E5 mm		PC(7~0)←mm if CF=1
	BZ	**branch if ZF=1	1110 m	0011 m	E3 mm		PC(7~0)←mm if ZF=1
	BPC	**branch if PS=1 or CF=1	1110 m	1101 m	ED mm		PC(7~0)←mm if PS ∨ CF=1
	BPZ	**branch if PS=1 or ZF=1	1110 m	1011 m	EB mm		PC(7~0)←mm if PS ∨ ZF=1
	BCZ	**branch if CF=1 or ZF=1	1110 m	0111 m	E7 mm		PC(7~0)←mm if CF ∨ ZF=1
	BPCZ	**branch if PS=1 or CF=1 or ZF=1	1110 m	1111 m	EF mm		PC(7~0)←mm if PS ∨ CF ∨ ZF=1
	BNP	**branch if PS=0	1110 m	1000 m	E8 mm		PC(7~0)←mm if PS=0
	BNC	**branch if CF=0	1110 m	0100 m	E4 mm		PC(7~0)←mm if CF=0
	BNZ	**branch if ZF=0	1110 m	0010 m	E2 mm		PC(7~0)←mm if ZF=0
	BNPC	**branch if PS=0 and CF=0	1100 m	1100 m	EC mm		PC(7~0)←mm if PS ∨ CF=0
	BNPZ	**branch if PS=0 and ZF=0	1110 m	1010 m	EA mm		PC(7~0)←mm if PS ∨ ZF=0
	BNCZ	**branch if CF=0 and ZF=0	1110 m	0110 m	E6 mm		PC(7~0)←mm if CF ∨ ZF=0
	BNPCZ	**branch if PS=0, CF=0 and ZF=0	1110 m	1110 m	EE mm		PC(7~0)←mm if PS ∨ CF ∨ ZF=0
JMP	**jump	0100 m	0n m	4n mm		PC(10~8)←n, PC(7~0)←mm	
CAL	**call	0100 m	1n m	4(8+n) mm		STACK←PC+2 PC(10~8)←n, PC(7~0)←mm	
RET	return	0001	1111	1F		PC(10~0)←STACK	
EC	enable counter	0001	1101	1D			
DC	disable counter	0001	1100	1C			